

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12254528

Basic Patent (No,Kind,Date): JP 6333740 A2 19941202 <No. of Patents: 013>

COMPOSITE INTEGRATED CIRCUIT COMPONENT (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): SAKAMOTO NAOYA; YAMAUCHI YUKIO; ARAI MICHIO

IPC: *H01F-015/00; H01F-017/00; H01G-004/40; H01L-023/12; H01L-027/04;

H01L-029/784; H01L-025/00

Derwent WPI Acc No: *G 95-055453; G 95-055453

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6333740	A2	19941202	JP 93142882	A	19930521	(BASIC)
JP 7045783	A2	19950214	JP 93191297	A	19930802	
JP 7045784	A2	19950214	JP 93191298	A	19930802	
JP 7045785	A2	19950214	JP 93190112	A	19930730	
JP 7045786	A2	19950214	JP 93191299	A	19930802	
JP 7045787	A2	19950214	JP 93191300	A	19930802	
JP 3290514	B2	20020610	JP 93191297	A	19930802	
JP 3343282	B2	20021111	JP 93191298	A	19930802	
JP 3499255	B2	20040223	JP 93142882	A	19930521	
KR 273826	B1	20001215	KR 9411146	A	19940521	
US 5643804	A	19970701	US 242813	A	19940516	
US 5877533	A	19990302	US 812453	A	19970306	
US 6410960	BA	20020625	US 226215	A	19990107	

Priority Data (No,Kind,Date):

JP 93142882	A	19930521
JP 93191297	A	19930802
JP 93191298	A	19930802
JP 93190112	A	19930730
JP 93191299	A	19930802
JP 93191300	A	19930802
US 812453	A	19970306
US 242813	A3	19940516
US 226215	A	19990107
US 812453	A3	19970306

Scanned: 11/29/2004
DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04753187 **Image available**

THIN-FILM COMPOSITE INTEGRATED CIRCUIT PARTS AND ITS MENUFACTURE

PUB. NO.: 07-045787 [JP 7045787 A]
PUBLISHED: February 14, 1995 (19950214)
INVENTOR(s): ARAI MICHIO
 YAMAUCHI YUKIO
 SAKAMOTO NAOYA
APPLICANT(s): TDK CORP [000306] (A Japanese Company or Corporation), JP
 (Japan)
 SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company
 or Corporation), JP (Japan)
APPL. NO.: 05-191300 [JP 93191300]
FILED: August 02, 1993 (19930802)
INTL CLASS: [6] H01L-027/00; H01G-004/33; H01L-021/316; H01L-027/12;
 H05K-003/46
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 13.3 (INORGANIC
 CHEMISTRY -- Ceramics Industry); 42.1 (ELECTRONICS --
 Electronic Components)

ABSTRACT

PURPOSE: To manufacture a thin-film integrated circuit part at a low cost and reduce its chip size, by forming on a thin-film integrated circuit through a thin-film process a thin-film layered body via an interlayer film made of a glass layer having SiO(sub 2) as its main component.

CONSTITUTION: On a substrate 11 whereon a thin-film integrated circuit chip 12 is formed, via a PSG film 14 formed by an atmospheric CVD method, a thin-film layered type capacitor 17 wherein a dielectric material layer 15 and a conductor material layer 16 are formed alternately by a thin-film process, and a thin-film layered type inductor 18 comprising a magnetic material layer 19 and the conductor layer 16 are formed respectively. Since in this manner the layered section formed on the substrate 11 whereon the thin-film integrated circuit chip 12 is formed is provided wholly by the thin-film process, no burning processing by a high temperature is required unlike thick-film methods. Thereby, any contraction of the layered section which is caused by burning and any wrong effect which is caused by the difference between the thermal expansion coefficients of the layered section and the substrate whereon the thin-film integrated circuit is formed are eliminated. Also, by virtue of the thin-film method, the layered section is made thin, and cheap Al can be used as the conductor material of the layered section instead of expensive pd.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45787

(43) 公開日 平成7年(1995)2月14日

(51) Int. Cl. ⁶

識別記号

F I

H01L 27/00

301 A

H01G 4/33

H01L 21/316

G 7352-4M

27/12

Z

9174-5E

H01G 4/06

102

審査請求 未請求 請求項の数5 O L (全6頁) 最終頁に続く

(21) 出願番号 特願平5-191300

(22) 出願日 平成5年(1993)8月2日

(71) 出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 荒井 三千男

東京都中央区日本橋一丁目13番1号 ティーディーケイ株式会社内

(72) 発明者 山内 幸夫

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(74) 代理人 弁理士 山谷 皓榮 (外1名)

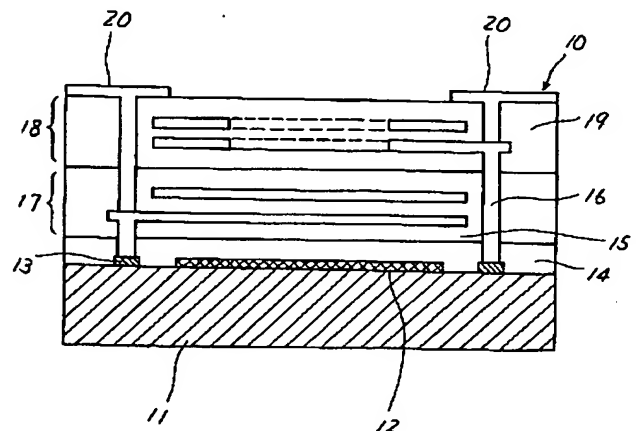
最終頁に続く

(54) 【発明の名称】 薄膜複合集積回路部品及びその製造方法

(57) 【要約】

【目的】 本発明は薄膜複合集積回路部品に係り、安価にチップサイズの小さな複合集積回路部品を提供することを目的とする。

【構成】 薄膜集積回路12を形成した基板11上に、SiO₂を主成分としたガラス層から成る層間膜14を介在して薄膜プロセスで薄膜積層型コンデンサ17、薄膜積層型インダクタ18の少なくとも1つを形成する。



【特許請求の範囲】

【請求項 1】 薄膜集積回路を形成した基板上に積層型コンデンサ、積層型インダクタあるいはこれらを組合せた受動素子を構成する積層部を形成した複合集積回路部品において、薄膜集積回路を形成した基板上に SiO_2 を主成分とするガラス層からなる層間膜を介在して、薄膜プロセスで形成した薄膜積層型受動素子を形成することを特徴とする薄膜複合集積回路部品。

【請求項 2】 前記層間膜は、フォスフォシリケートガラス膜、ノンドープシリケートガラス膜、ボロシリケートガラス膜、ボロフォスフォシリケートガラス膜のうちの少なくとも 1 層からなることを特徴とする請求項 1 記載の薄膜複合集積回路部品。

【請求項 3】 前記層間膜の厚さは 0.1 ~ 5 μm であることを特徴とする請求項 1 記載の薄膜複合集積回路部品。

【請求項 4】 前記薄膜積層型受動素子の薄膜積層体は 10 層以内とすることを特徴とする請求項 1 記載の薄膜複合集積回路部品。

【請求項 5】 薄膜集積回路を形成した基板上に CVD 法により SiO_2 を主成分とするガラス層からなる層間膜を形成する工程と、該層間膜上に 450℃以下の薄膜プロセスで薄膜積層型受動素子を形成する工程とを有する薄膜複合集積回路部品の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜複合集積回路部品に係り、特に安価に製造できチップサイズの小さな薄膜複合集積回路部品に関する。

【0002】

【従来の技術】 能動回路素子から構成される薄膜集積回路を形成した基板と、積層型コンデンサ、積層型インダクタ、抵抗回路あるいはこれらを組合せたものから形成される積層体を一体化させた複合集積回路部品は、従来から知られている。

【0003】 一例として図 5 に示す如き構造の複合集積回路部品について説明する。この複合集積回路部品は積層型コンデンサ 51 と、積層型インダクタ 52 から成る積層体と薄膜集積回路チップ 54 とから構成される。積層型コンデンサ 51 を形成するためには、仮支持基板上に BaTiO_3 、系セラミックス等の誘電体材料ペーストをシート状に印刷し、この上に電極用導体材料ペーストを印刷し、さらにこの上に誘電体材料ペーストと電極用導体材料ペーストを交互に複数層印刷して積層する。

【0004】 この積層体の上に、同様にして磁性材料と導体材料ペーストを積層印刷してインダクタンス部分を積層する。積層型インダクタ 52 は、例えば、 Ni-Cu-Zn 系フェライト等の磁性体材料ペーストをシート状に印刷し、その上にコイルパターンを印刷し、さらにこの上にこれらを交互に印刷する。それからこの積層体

を乾燥させたのち、仮支持板から剥離し、例えば 800℃~900℃で焼成し、複合集積層体を得る。

【0005】 このように形成した積層体上にベアの薄膜集積回路チップ 54 を搭載し、この薄膜集積回路チップ 54 の取り出し端子 55 と積層体に設けられた電極パット 56 とを金属線 57 によりワイヤボンディングして電気接続する。

【0006】 最後にこの薄膜集積回路チップ 54 を覆ってプラスチックあるいはセラミックのパッケージ 58 を形成し、複合集積回路部品 50 を完成する。また、前記の構成では、積層体を形成するために仮支持基板を用いて受動素子材料ペーストと導電材料ペーストを印刷し、その後これを剥離するという煩雑な工程が必要である。これをなくすために、薄膜集積回路を形成した基板上に直接積層体を形成する構造のものもある。

【0007】 さらに薄膜集積回路チップと受動素子からなる積層体を別々の工程で形成するのではなく、LSI の Si 基板内に、大容量のコンデンサを薄膜プロセスで内蔵させて形成する試みも提案されている (NIKKEI ELECTRONICS 1993 年 5 月 24 日号 p 82~87 参照)。

【0008】

【発明が解決しようとする課題】 従来の複合集積回路部品では、その受動素子部分を構成する積層体は積層印刷、焼成による厚膜プロセスで形成する。従って積層体として誘電体材料層や磁性体材料層を多層に積層する場合でも非常に生産性良く、安価に製造することができる。またインダクタやコンデンサの数が少くなれば、複合集積回路部品の大きさは小さく出来る。

【0009】 ところが、薄膜集積回路を搭載して複合集積回路部品を構成する場合には、薄膜集積回路チップを搭載するための一定の大きさが積層体としては必要となり、積層体の大きさを十分に小さく出来ないという問題点がある。

【0010】 また、薄膜集積回路を形成した基板上に直接厚膜プロセスで積層体を形成するものでは、積層体の形成のための焼成温度が高いため、予め形成した薄膜集積回路の素子特性に悪影響を与えることや、焼成による積層体の縮みが、前記薄膜集積回路に悪影響を与えるなどの問題点がある。

【0011】 さらに、LSI に大容量のコンデンサを内蔵させたものは、その製法上、薄膜集積回路を形成した基板上に、薄膜集積回路の横にこれを形成することになり、このため、全体の部品の大きさが大型化するなどの問題点がある。

【0012】 従って本発明の目的は、安価に製造出来る上にチップサイズの小さな複合集積回路部品を提供するものである。

【0013】

【課題を解決するための手段】 本発明は前記問題点を解

決するため、薄膜集積回路を形成した基板上に、積層型コンデンサ、積層型インダクタあるいはこれらを組合せた受動回路を構成する積層部を形成した複合集積回路部品において、積層部として、前記薄膜集積回路に SiO_2 を主成分とするガラス層からなる層間膜を介在して、薄膜プロセスで形成した薄膜積層体を形成するものである。

【0014】なお、薄膜プロセスで形成する膜は10層以内であることが望ましい。

【0015】

【作用】これにより薄膜集積回路を形成した基板上に垂直方向に薄膜積層体を形成することができるので、薄膜複合集積回路部品を非常に小型に提供できる。

【0016】

【実施例】本発明の一実施例を図1～図4によって説明する。図1は本発明の一実施例である薄膜複合集積回路部品10の概略説明図である。

【0017】図1において、11は基板、12は薄膜集積回路チップ、13は取り出し電極、14はフォスフォシリケートガラス (PSG) 膜、15は TiO_2 層、16はAl層、17は薄膜積層型コンデンサ、18は薄膜積層型インダクタ、19は薄膜磁性材料層、20は取り出し電極を示す。

【0018】本実施例においては薄膜集積回路チップ12を形成した基板11上に常圧CVD法によって形成したPSG膜14を介在させて、誘電体材料層、例えば TiO_2 層15と導体材料層、例えばAl層16とを交互にマスク蒸着やマスクスパッタ法を用いた薄膜プロセスを用いて形成し、薄膜積層型コンデンサ17と、磁性材料層19とAl層16からなる薄膜積層型インダクタ18を形成する。

【0019】また、薄膜集積回路チップ12と薄膜積層型コンデンサ17との間の層間膜14はフォスフォシリケートガラス (PSG) 膜、ノンドーピングシリケートガラス (NSG) 膜、ボロシリケートガラス (BSG) 膜、このBSGと、フォスフォシリケートガラス (PSG) との混合体であるボロフォスフォシリケートガラス (B・PSG) 膜の如き SiO_2 を主成分とするガラス膜の少なくとも一種以上から成る膜であって、その膜厚は0.1～5 μm 、好ましくは8000 Å以上あるとよい。これらのガラス膜は常圧CVD法により形成することができる。

【0020】なお、薄膜集積回路チップ12と薄膜積層型コンデンサ17、薄膜積層型インダクタ18とは薄膜集積回路の取り出し電極13と導体材料層であるAl層16によって電氣的に接続される。

【0021】次に本実施例の薄膜複合集積回路部品に用いる、薄膜集積回路チップ12における薄膜トランジスタの製造工程を、図2～図3によって説明する。先ず、基板11として多結晶シリコン基板を用い、この基板1

1上にスパッタ法により、酸化シリコン膜22を1000～5000 Åの厚さに形成する (図2 (A) 参照)。

【0022】次にこの上にアモルファス・シリコン ($\alpha\text{-Si}$) 膜23'を減圧CVD法により、500～6000 Åの厚さに形成する (図2 (B) 参照)。この時の成膜条件は次の通りである。

【0023】

Si , H_2	100～500	SCCM
He	500	SCCM

10 反応圧力 0.1～1 Torr

成膜温度 430～500℃

この $\alpha\text{-Si}$ 膜23'を所定のアイランド状にパターニングした後、約600℃で約40時間、窒素雰囲気中で熱処理して結晶化し活性シリコン膜23とする (図2 (C) 参照)。

【0024】次にゲート絶縁膜を形成するために、ドライ酸化により、500～2000 Åの膜厚の酸化シリコン膜24'を形成する (図2 (D) 参照)。この時の成膜条件は次の通りである。

【0025】

O_2	2.5	SLM
--------------	-----	-----

反応温度 850～1100℃

次にこの上にゲート電極となるP又はBをドーピングしたシリコン層25'を減圧CVD法により、1000～4000 Åの膜厚で形成する (図2 (E) 参照)。

【0026】この後、所定のパターンに従ってエッチング工程によりゲート絶縁膜24、ゲート電極25を形成する (図2 (F) 参照)。さらにこのゲート電極25をマスクとして、活性シリコン膜23のソース・ドレイン領域となるべき部分に、イオンドーピング法により、例えばPをドーピングしてソース・ドレイン領域26、27を形成する (図3 (A) 参照)。

【0027】これらの素子を含む基板を窒素雰囲気中で600℃で12時間加熱しドーパントの活性化を行い、さらに水素雰囲気中で400℃1時間熱処理し、水素化処理を行い活性シリコン膜23の欠陥準位密度を減少させる。

【0028】次にこの基板全体に常圧CVD法でPSG膜28を4000～8000 Åの膜厚で形成した後、各電極配線のために、必要とするパターンに従ってパターニングを行う (図3 (B) 参照)。

【0029】この後電極配線用のAlをスパッタ法により成膜し、配線パターンに従ってパターニングし、配線層29を形成して、図3 (C) の如き薄膜トランジスタを完成する。

【0030】この後に保護膜を兼ねたPSG膜を層間絶縁膜として形成し、電極用スルーホールを形成後電極配線層を形成して薄膜集積回路チップ12を構成する。本発明では、次にこの薄膜集積回路チップ12が形成された基板11上にPSG膜14を介して薄膜プロセスを用

いて図 1 に示す如く、薄膜状の受動素子の薄膜積層型コンデンサ 1 7、薄膜積層型インダクタ 1 8 等を形成する。

【 0 0 3 1 】 薄膜積層部として積層インダクタ 1 8 を形成する場合を図 4 によって説明する。使用する磁性材料としては $Ni-Cu-Zn$ フェライトを使用し、次の条件でマスクスパッタリングを行い、 $Ni-Cu-Zn$ フェライト膜 1 9 を形成する (図 4 (A) 参照)。

【 0 0 3 2 】 スパッタリングの条件は以下の通りである。

ターゲット	$Ni-Cu-Zn$
アルゴン圧	10~100 mTorr
反応温度	150℃
RF パワー	1 KW

なお、フェライト膜 1 9 には薄膜集積回路チップ 1 2 の取り出し電極 1 3 に対応するスルーホールを形成する。

【 0 0 3 3 】 次にインダクタの導体材料層として、Al をマスクスパッタリングにより蒸着し Al 層 1 6 を形成するとともに、薄膜集積回路の取り出し電極 1 3 と導体層 1 6 との接続も行う (図 4 (B) 参照)。

【 0 0 3 4 】 同様に薄膜プロセスを用いて交互に $Ni-Cu-Zn$ フェライト膜 1 9' と導体層 1 6' を形成して積層型の薄膜インダクタ 1 8 を形成する (図 4 (C) 参照)。

【 0 0 3 5 】 その後、必要に応じてこの上に積層型薄膜コンデンサを形成することもできる。例えば、誘電体材料として TiO_2 を用いてマスクスパッタリングを行うときの成膜の条件は次の通りである。

【 0 0 3 6 】

真空度	0.01 Torr
基板の温度	200℃
ソース温度	1500℃

この条件で TiO_2 膜を形成後、Al をマスクスパッタリングして導体膜として積層化して、例えば、図 1 に示す如く薄膜積層型コンデンサ 1 7 を形成する。

【 0 0 3 7 】 本発明では、薄膜集積回路を形成した基板上に形成する積層部として各受動素子をマスクスパッタリングなどの薄膜プロセスで行うため、反応条件を変えただけでよいので製造が容易であるが、多層にするにはスパッタリング工程時に加熱処理が介在するので、その影響を小さくするために全体で 10 層以内にすることが

望ましい。

【 0 0 3 8 】

【発明の効果】 本発明の構成にすることにより、薄膜集積回路チップを形成した基板上に形成する積層部も全部薄膜プロセスで行うため、従来の厚膜法のように高温による焼成処理など、基板に対して高温熱処理を行うことがない。

【 0 0 3 9 】 これにより焼成による積層体の縮みと薄膜集積回路を形成した基板との熱膨張係数の違いによる悪影響もない。さらに薄膜集積回路形成後の高温熱処理がないので、水素化がし易い上、熱による素子特性への悪影響もない。

【 0 0 4 0 】 また、薄膜法により、従来の圧膜法より積層部が薄くなり部品の小型化、コンパクト化が実現する。IC のチップサイズは樹脂モールドの大きさにより決まるため、この樹脂モールドを全体で一体化できるため小型化できる。

【 0 0 4 1 】 その上、積層部の導体材料として高価な Pd の代わりに安価な Al が使用でき、その点からも薄膜集積回路部品の低コスト化がはかれる。

【図面の簡単な説明】

【図 1】 本発明の一実施例の薄膜複合集積回路部品の概略構成説明図である。

【図 2】 本発明の一実施例で用いる薄膜トランジスタの製造工程説明図の一部である。

【図 3】 本発明の一実施例で用いる薄膜トランジスタの製造工程説明図の続きである。

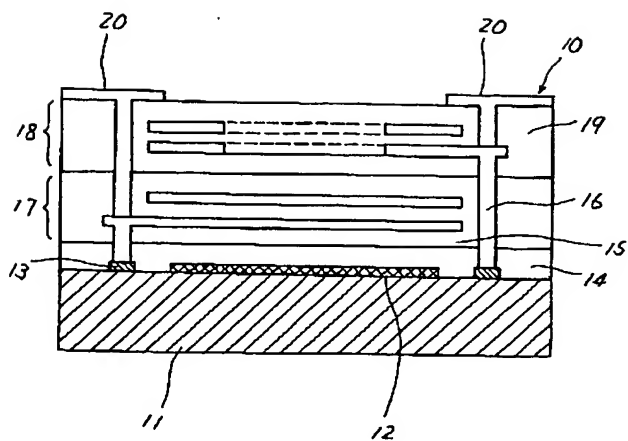
【図 4】 本発明の一実施例の薄膜複合集積回路部品の薄膜積層部の製造工程説明図である。

【図 5】 従来の複合集積回路部品の概略構成説明図である。

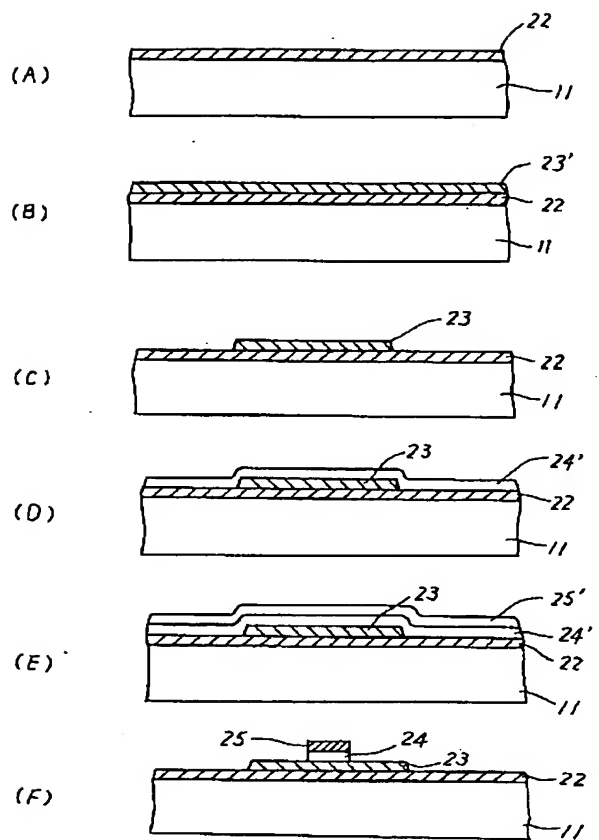
【符号の説明】

- 1 1 基板
- 1 2 薄膜集積回路チップ
- 1 4 PSG 膜
- 1 5 薄膜誘電体材料層
- 1 6 Al 層
- 1 7 薄膜積層型コンデンサ
- 1 8 薄膜積層型インダクタ
- 1 9 薄膜磁性体材料層

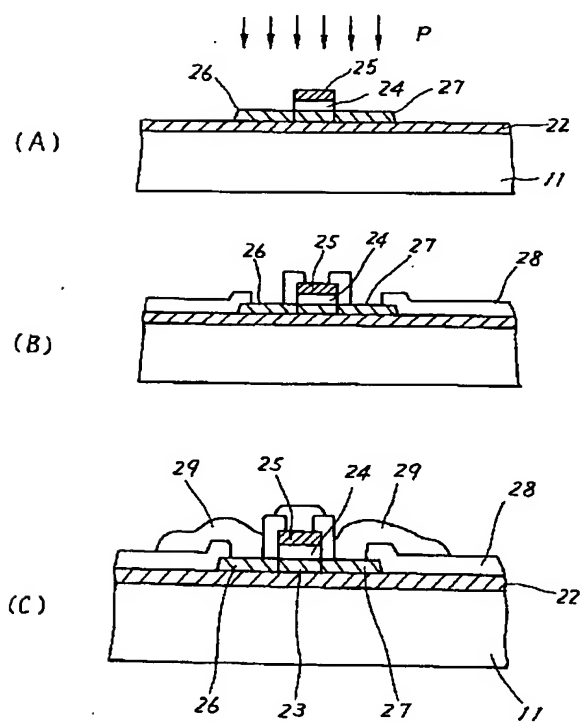
【図 1】



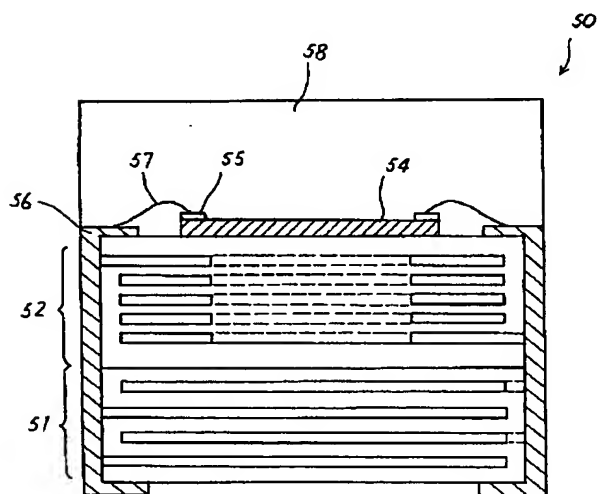
【図 2】



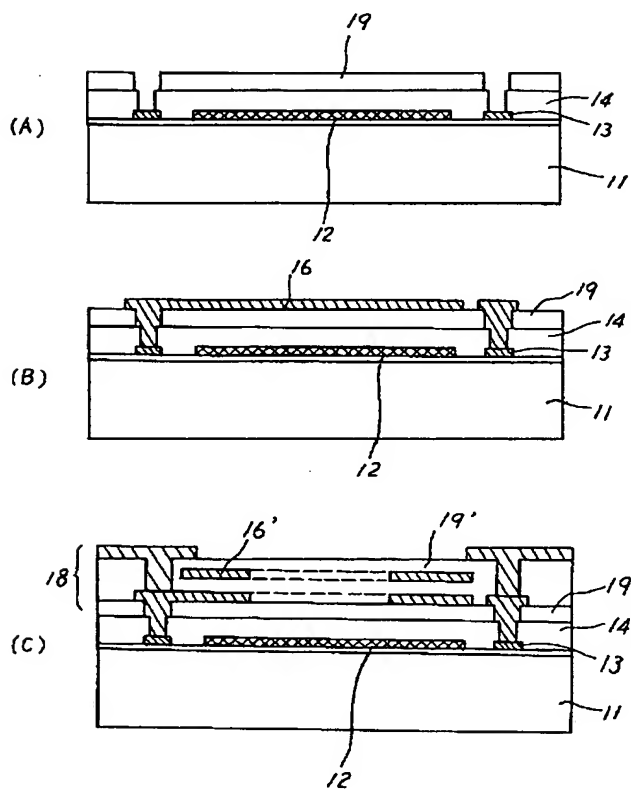
【図 3】



【図 5】



【図 4】



フロントページの続き

(51) Int. Cl.⁶

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

Q 6921-4E

(72) 発明者 坂本 直哉

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内